

2024년도 전자부품 분야(반도체, IT융합) 신규지원 대상 연구개발과제 안내문

① 전자부품산업기술개발 (해외시장진출을위한수출연계형시스템반도체기술개발사업)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	국내 팹리스 해외진출을 위한 美-中 R&BD 플랫폼 구축	품목(핵심)	57	3,000	비영리기관	혁신 제품	비징수	일반	TRL 해당없음
2	ISO26262 지원 가능한 모빌리티용 네트워크 프로세서 SoC 설계 기술 개발	품목(핵심)	33	1,200	중소중견	혁신 제품	징수	일반	
3	대규모 AI 모델 가속을 위한 반도체 개발	품목(핵심)	33	1,300	중소중견	혁신 제품	징수	일반	국제공동
4	고신뢰 기능 안전을 지원하는 RISC-V 기반 MCU 개발	품목(핵심)	33	500	중소중견	혁신 제품	징수	일반	
5	암호화 가속기가 적용된 AP기능을 지원하는 지능형 결체단말기용 SoC 및 SW기술	품목(핵심)	33	500	중소중견	혁신 제품	징수	일반	

② 전자부품산업기술개발 (첨단시스템반도체디자인플랫폼기술개발)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	DMT(Discrete Multi-Tone) 변조 기반 고속 인터페이스 기술개발	품목(핵심)	57	800	비영리기관	원천 기술	징수	일반	
2	멀티프로토콜 고속 인터페이스 PHY 개발	품목(핵심)	33	950	중소중견	혁신 제품	징수	일반	
3	MIPI 표준을 지원하는 고속 A-PHY 인터페이스 개발	품목(핵심)	33	950	중소중견	혁신 제품	징수	일반	
4	차세대 HPC SoC Architecture 및 Design 플랫폼 개발	품목(핵심)	33	900	중소중견	혁신 제품	징수	일반	
5	첨단시스템반도체 설계를 위한 공용 플랫폼 개발	품목(핵심)	33	900	중소중견	혁신 제품	징수	일반	
6	In-system test (IST) 내장 차량용반도체 SoC 플랫폼 개발	품목(핵심)	33	900	중소중견	혁신 제품	징수	일반	

③ 전자부품산업기술개발 (첨단전략산업초격차기술개발(반도체))

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	첨단 패키징 초격차 실현을 위한 글로벌 기술협력	품목(핵심)	33	500	비영리	원천 기술	비징수	지정	총괄
2	Glass Interposer 기반 2.5D 고속 인터페이스 개발	품목(핵심)	33	1,930	제한없음	원천 기술	징수	지정	국제공동
3	잉크젯 프린터를 이용한 저가형 유기 RDL 인터포저 기술	품목(핵심)	33	1,930	제한없음	원천 기술	징수	지정	국제공동
4	2.XD 고성능 시스템 반도체용 고밀도 인터포저 및 브릿지 다이 기술개발	품목(핵심)	33	1,930	제한없음	원천 기술	징수	지정	국제공동
5	전기화학 식각 기술 기반 하이브리드 본딩 패드 디싱 제어 및 CMP 하이브리드 연마 기술 개발	품목(핵심)	33	1,930	제한없음	원천 기술	징수	지정	국제공동

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
6	3D Multi Die의 이중접합 패키지구조에서 열적-기계적-전기적 변형에 대한 해석 기술 개발	품목(핵심)	33	1,930	제한없음	원천기술	징수	지정	국제공동
7	첨단패키지 패턴 결함 분석장비용 핵심 센싱 기술 및 고신뢰 AI 알고리즘 개발	품목(핵심)	33	1,930	제한없음	원천기술	비징수	지정	국제공동
8	고품질 하이브리드 본딩을 위한 세정 기술과 표면 분석 기술 개발	품목(핵심)	33	1,930	제한없음	원천기술	징수	지정	국제공동
9	Advanced 2.5/3.0D Packaging을 위한 이중 소자간 ~1 μ m 분해능, 실시간 계측이 가능한 다목적 홀로그래프 3차원 검사설비 개발	품목(핵심)	33	1,930	제한없음	혁신제품	징수	지정	국제공동
10	2.5D 패키징용 캐리어 웨이퍼 Laser lift Off 공정용 UV Laser 소스 및 디본딩 시스템 개발	품목(핵심)	33	1,930	제한없음	혁신제품	징수	지정	국제공동
11	패키지 신뢰성 향상 및 손상원인 규명을 위한 실시간/실환경 분석기술 개발	품목(핵심)	33	1,930	제한없음	원천기술	징수	지정	국제공동

④ 전자부품산업기술개발 (주력산업IT융합)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'24년 출연금	주관기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	AI 및 실시간 측정 기술 기반 이차전지 소재 정량화 및 자동화 품질관리 시스템 개발 및 실증	품목(핵심)	33	1,134.6	중소중견	혁신제품	징수	일반	
2	산업용 IoT 기반 MSV 몰드 품질 자동점검·정밀가공 지능 시스템 개발 및 실증	품목(핵심)	33	1,134.6	중소중견	혁신제품	징수	일반	국제공동
3	철강산업 제조공정 최적화를 위한 LLM 및 디지털트윈 융합 시스템 개발 및 실증	품목(핵심)	33	1,134.6	중소중견	혁신제품	징수	일반	
4	캔 타입 2차 전지용 내열 코팅 자동화와 코팅 품질 관리용 지능 시스템 개발 및 실증	품목(핵심)	33	1,134.6	중소중견	혁신제품	징수	일반	국제공동

①

전자부품산업 설계발 (해외시장진출을위한수출연계형시스템반도체 설계발사업)

품목번호	수출연계-품목-01	산업 기술 분류	중분류 I		중분류 II		
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체 소자 및 시스템		-		
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	국내 팹리스 해외진출을 위한 美-中 R&BD 플랫폼 구축 (TRL : 해당없음)		품목코드 (HSK10)	류	호	소호	통계부 호
				8 5	4 2	9 0	1 0 0 0
1. 개념 및 개발내용							
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ 미국, 중국 內 시스템반도체 분야 현지 R&D수요를 발굴하고, R&D 수행과 관련된 성능검증 및 데모보드 제작 지원, 마케팅 지원을 위한 전문가 협의체를 구성하여 국내 시스템반도체 기업의 시장 진출 지원 ○ 국내 시스템반도체 분야(팹리스, IP, 디자인하우스) 기업이 미국, 중국 시장 진출을 위한 R&BD 플랫폼으로 R&D 수행 지원(네트워크, 기술동향 등) 및 기업 사무공간, 법률 자문 등 현지 사업화를 위한 기업 지원 							
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> ○ (미국) R&D수요 발굴, 개발과제결과 성능검증 지원 및 사업화 연계 등 단계별 목표 실행계획 수립 및 운영, 국내 기업이 활용 가능한 사무공간 구축 ○ (중국) 심천/상해 거점을 고도화하여 R&D 수요 발굴, 수요연계지원, 개별 수출연계 지원 등을 포함해 설계-생산-인증-납품까지 전주기 지원 체계 마련 ○ 미국/중국 R&BD플랫폼 세부 역할 <ul style="list-style-type: none"> - R&D 제품의 성능 검증 지원(측정/계측/검증 등)과 현지 시장이 요구하는 인증관련 지원 및 수요기업향 데모보드 제작지원 - 현지 시장의 시스템반도체 Needs를 발굴하여 신규 R&D품목 제안 - 현지 전문가 중심의 자문 그룹 협의체를 구성 기술 자문 - 개발 완료 제품 대상 수요기업 대상 로드쇼 및 제품 홍보 기회 발굴 - 사무공간 제공 및 법인 설립지원, 인력채용 지원 등 - 현지 시스템반도체 분야 전문 전시회 참여를 통한 마케팅 지원 등 - 국내 기업 대상 미국/중국 시스템반도체 시장 정보 제공 							

연구개발계획서 제출시 다음의 항목의 정량적 목표 제시 필수
 성능검증컨설팅지원, 데모보드 제작지원, 전시 홍보 지원, 시장정보 제공, 성과발표회 개최 등

2. 지원 필요성

□ 지원 필요성

- (정책적 측면) 국내 시스템반도체 기업이 글로벌 반도체 최대 시장인 중국·미국 시장 진출을 지원하여 기술경쟁력을 강화 및 시장 점유율 확대를 통해 시스템반도체 글로벌 시장 점유율 강화
 - 미국의 경우 인공지능 반도체를 포함하여 HPC 분야 최대 시장이며, 중국은 다양한 Middle-low end급 시스템반도체 수요시장으로 국내 기업에게는 기회의 시장임
- (기술적 측면) 시스템반도체의 경우 맞춤형 수요 기반의 주문형 반도체로 전방 수요 기업의 기술 요구사항을 빠르게 파악하고 개발하여 납품하는 것이 1차 경쟁력
 - 해외 경쟁 기업 대비 열악한 국내 기업을 위해 '설계-생산-인증-납품'까지 전주기에 걸쳐 기술적으로 기업을 지원할 수 있는 R&BD 플랫폼을 구축하고 체계화
- (시장적 측면) 22년 시스템반도체 시장은 3,667억 달러 규모이며, '26년 4,281억 달러로 연평균 4% 내외 성장이 예상됨으로 국내 기업의 해외시장 진출 및 점유율 확대를 위해서는 개발과 사업화로 이어지는 매개체 필요
- (사회적 측면) 제한된 내수시장의 한계로 국내 시스템반도체 산업 기술 경쟁력을 확보하기 위해서는 해외시장 진출은 선택이 아닌 필수이며, 국내 시스템반도체 기업의 해외진출을 통해 시스템반도체 수출 증대 및 매출 성장을 위해 지원 필요

□ 활용분야

- 국내 시스템반도체 분야 기업(팹리스, IP Vendor, 디자인하우스 등)

3. 지원기간/예산/추진체계

- 기간 : 57개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 5차년도 : 각각 12개월)
(1단계 33개월, 2단계 24개월)
- 정부지원연구개발비 : '24년 30억원 이내(총 정부출연금 150억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	수출연계-품목-02	산업 기술 분류	중분류 I		중분류 II	
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체 소자 및 시스템		-	
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음					
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 원스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차					
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)					
품목명	ISO 26262 지원 가능한 모빌리티용 네트워크 프로세서 SoC 설계 기술 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부 호
			8 7	0 8	9 9	9 0 0 0
1. 개념 및 개발내용						
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ ISO 26262 기능안전 (functional safety) 요구사항을 지원하며, Ethernet 패킷 가속기 내장을 통해 실시간 고속 패킷 처리가 가능한 모빌리티용 네트워크 프로세서 SoC 설계 기술 개발 <div style="border: 1px dashed black; padding: 5px; margin: 10px 0;">* 핵심 목표 : ISO26262 기능안전 기반 ASIL 요구사항 만족 (세계최고)</div> <input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> ○ 고속 네트워크 패킷 처리를 위한 Ethernet 패킷 가속기 IP 개발 <ul style="list-style-type: none"> - 실시간 고속 패킷 처리를 위한 스위칭/라우팅 기능 지원 - 고속 Shared Memory 방식 스위치 패브릭 개발 ○ Ethernet MAC 인터페이스 지원 <ul style="list-style-type: none"> - IEEE802.3-2015 표준을 만족하는 Ethernet MAC과의 인터페이스 지원 - 다수의 Ethernet 포트에 대한 확장성 지원 ○ 모빌리티 응용을 위한 기능안전 지원 <ul style="list-style-type: none"> - ISO 26262 기능안전 기반 ASIL 요구사항 지원 ○ 네트워크 프로세서 SoC 개발 <ul style="list-style-type: none"> - Real-time Processor Core 및 Ethernet 패킷 가속기 IP를 내장하여 스위칭/라우팅 및 패킷의 품질 보장이 가능한 모빌리티용 네트워크 프로세서 SoC 개발 - PCIe, DDR, USB 등 다양한 인터페이스 지원 ○ 개발 제품의 해외시장 상용화 전략 <ul style="list-style-type: none"> - R&BD플랫폼과 연계한 미국시장 진출방안 제시 <div style="border: 1px dashed black; padding: 5px; margin: 10px 0;">연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 스위치 패브릭 속도 (Gbps), 입력 포트당 패킷 처리속도 (Gbps)</div>						

2. 지원 필요성

□ 지원 필요성

- (정책적 측면) 반도체 초강대국 달성 전략('22), 차량용 반도체 단기 수급 대응 및 산업역량 강화 전략('21), 등의 주요 정책 및 구체적인 전략과 함께 차량용 반도체 개발/내재화를 위한 정부 주도의 적극적인 투자가 진행 중임
- (기술적 측면) 입력 포트당 매우 높은 대역폭을 요구하며, 수백 Gbps급 스위치 패브릭 속도를 안정적으로 지원해야 하는 차량용 네트워크 프로세서 SoC는 기술적 개발 난이도가 매우 높은 기술임
- (시장적 측면) 시장 조사 기관 MarketandMarket에 따르면 글로벌 차량용 네트워크 시장은 '21년 13억8700만 달러에서 '27년 26억2700만 달러 규모로 성장할 전망이며, OTA/V2X 등 기능 지원을 위해 차량용 네트워크 프로세서가 필수적으로 요구됨
- (사회적 측면) 차량용 반도체 수급난을 대응하기 위한 안정적인 국내 공급망을 확보/구축하고, 향후 산업 위기에 선제적으로 대응하여 글로벌 차량 제조 기업의 수요가 매우 크며, 로봇, 가전 등 다양한 분야로 확장 응용이 가능한 핵심기술 및 반도체의 기술 내재화가 필요함

□ 활용 분야

- 전기차, 자율주행차 등 모빌리티 응용분야를 비롯한 로봇, 스마트팩토리 등 다양한 분야에 활용 가능

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도: 각각 12개월)
- 정부지원연구개발비 : '24년 12억원 이내(총 정부출연금 36억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

품목번호	수출연계-품목-03	산업 기술 분류	중분류 I		중분류 II	
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체 소자 및 시스템		-	
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음					
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 원스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차					
R&D 지출성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)					
품목명	대규모 AI 모델 가속을 위한 반도체 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부 호
			8 5	4 2	3 1	4 0 0 0
1. 개념 및 개발내용						
<input type="checkbox"/> 개념						
<ul style="list-style-type: none"> ○ 단일 반도체/시스템 수준의 대규모 AI 모델 구동 성능을 넘어, 실제 운용 환경에서의 다양한 요소(HW/SW/시스템 구성, 서비스 환경, 등)들을 고려한 설계/최적화를 통해 다양한 대규모 AI 모델을 최고 성능과 전력 효율로 구동(추론)할 수 있는 반도체 및 SDK(Software Development Kit) 개발 						
<div style="border: 1px dashed black; padding: 5px;"> <p>* 핵심 목표 : 대규모 AI 모델 구동 가능 반도체 (Batch 1 latency : ms) - 언어모델(BERT-Large, < 4.35ms) (세계최고)</p> </div>						
<input type="checkbox"/> 개발내용						
<ul style="list-style-type: none"> ○ 다중 NPU(Neural Processing Unit) 환경에서 대규모 AI 모델의 최적 구동을 위한 NPU 아키텍처 설계 및 최적화 개발 ○ 시스템 수준 대규모 AI 모델 구동 시, 시스템 병목/유휴 분석을 위한 플랫폼 개발 ○ S/W 구동 환경에서 대규모 AI 모델의 최적 구동을 위한 NPU 설계 및 운용 S/W 상호 최적화 개발 <ul style="list-style-type: none"> - 대규모 AI 모델의 최적 구동을 위한 다중 NPU 간의 Scheduling 기술 개발 ○ 시스템 수준 대규모 AI 모델 구동에 최적화된 모델/데이터 경량화 기술 개발 및 경량 모델의 최적 구동을 위한 NPU 설계 ○ NPU 및 대규모 AI 모델 최적 구동을 위한 SoC 아키텍처 설계 및 개발 <ul style="list-style-type: none"> - 고용량/고대역폭 메모리 제어기 통합 SoC 개발 - Chip-to-Chip/Card-to-Card 고속 통신 인터페이스 통합 SoC 개발 ○ NPU 반도체 통합 모듈 개발 및 발열/소모전력 최적화 기술 개발 ○ 개발 NPU 탑재 시스템 구성 및 대규모 AI 모델 실증 평가 <ul style="list-style-type: none"> - 시스템 구성 및 S/W 탑재 평가 						

- 개발 제품의 해외시장 상용화 전략
 - R&BD 플랫폼과 연계한 미국시장 진출방안 제시

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
비용 대비 성능 개선(GPU 대비), 대규모 AI 모델 지원 종류

2. 지원 필요성

지원 필요성

- (정책적 측면) 세계적 경쟁력 확보 및 국내 반도체 산업의 시장 점유율을 높이기 위해, 기술 경쟁력을 선도할 수 있는 기술 개발이 필수적임. 또한, 시스템 구축을 위한 AI 반도체는 국가전략기술 및 시스템 반도체 선도국 도약을 위한 생태계 강화 이행 전략 등 국가 주요 정책으로 적극 추진하고 있는 핵심 기술임
- (기술적 측면) 단일 디바이스에서의 엣지향 AI 반도체와 다르게, 시스템 내의 AI 반도체는 시스템 전반의 대규모 복합 환경 및 S/W와의 상호 구동을 고려 및 최적화해야 하는 초고난도 기술임
- (시장적 측면) '26년 50조 이상의 대규모 성장이 전망되는 시스템용 AI 반도체 시장을 선점하기 위한 국가/기업 간의 경쟁이 매우 치열한 가운데, 우위를 가져가기 위한 국내만의 차별적인 기술/성능 우수성 및 경쟁력 확보가 시급함
- (사회적 측면) AI 서비스 활성화로 인해 시스템 구축/운영 비용이 급격하게 증가하고 에너지 소모 이슈가 심각해짐에 따라 이를 개선하기 위해서는 저전력/고효율 AI 반도체 개발/적용이 필수적임

활용분야

- 대형 시스템 탑재 및 대규모 AI 서비스 활용

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도: 각각 12개월)
- 정부지원연구개발비 : '24년 13억원 이내(총 정부출연금 39억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 해외기관 참여 필수

품목번호	수출연계-품목-04	산업 기술 분류	중분류 I	중분류 II			
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체 소자 및 시스템	-			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	고신뢰 기능안전을 지원하는 RISC-V 기반 MCU 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부 호	
			8 7	0 8	9 9	9 0	0 0
1. 개념 및 개발내용							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> ○ CPU 라이선스 비용이 없는 RISC-V를 활용하여 차량에서 범용적으로 사용하기 위한 MCU(Micro Controller Unit) SoC 및 SDK(Software Development Kit)의 개발과 함께 기능안전을 준수하고 저전력으로 구동하는 MCU SoC/ SW 설계 및 반도체 개발 							
* 핵심목표 : RISC-V기반 범용 MCU SoC 기술 (국내최초)							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> ○ RISC-V 기반 범용 MCU SoC 개발 <ul style="list-style-type: none"> - ECC Protection 기능 지원 메모리(Flash/SRAM) 및 멀티채널 DMA 통합 SoC 개발 - 다양한 통신 지원 및 센서 연결을 위한 인터페이스 통합 SoC 개발 - 기능안전 준수를 위한 SoC 설계 - HSM(Hardware Security Module) 통합 SoC 설계 - Low Power 동작을 위한 관리 모듈 설계 및 SoC 통합 ○ 고신뢰성 품질을 만족하는 MCU 반도체 개발 및 검증 <ul style="list-style-type: none"> - Low Power 동작을 위한 RTL 및 ASIC Front/Back-end 설계 ○ RISC-V 기반 MCU 활용을 위한 SDK 및 SW 개발 <ul style="list-style-type: none"> - IDE(Integrated Development Environment), Compiler, Debugger 등 개발 - System SW 연동을 위한 SW 및 주요 응용을 위한 Reference SW 개발 - 응용플랫폼 지원을 위한 SDK 및 SW 개발 ○ 개발 제품의 해외시장 상용화 전략 <ul style="list-style-type: none"> - R&BD플랫폼과 연계한 해외시장 진출방안 제시 							

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
동작 주파수, 소모 전력 및 기능안전 수준 (주요 응용처 제시)

2. 지원 필요성

□ 지원 필요성

- (정책적 측면) 반도체 초강대국 달성 전략('22), 지능형 반도체 산업역량 강화 전략('21), 등의 주요 정책 및 구체적인 전략과 함께 비메모리 반도체 개발/내재화를 위한 정부 주도의 적극적인 투자가 진행 중임
- (기술적 측면) ARM CPU의 폐쇄적인 라이선스 정책과 비용 증가로 인해 세계 각국/기업들이 라이선스 비용이 없는 RISC-V를 기반으로 SoC/SW 개발을 시도하고 있으나 기능안전을 비롯한 관련 고품질이 요구되는 시대적 흐름에 맞추어 다양한 분야로 적용가능하도록 응용분야별 고신뢰성/고안전성 반도체 기술개발 지원이 필요함
- (시장적 측면) 개방형 표준인 RISC-V는 기존 CPU 아키텍처 대체재로 시장 규모가 급속히 확대될 수 있을 것으로 기대되고 있으며, 높은 시장 주목도와 글로벌 기업들의 적극적인 투자로 2024년도에는 10억 달러에 이를 것으로 전망되어 시장선점과 확보 측면에서 지원이 필요함
- (사회적 측면) 메모리 분야에 편중되어 있는 국내 반도체 산업 비중을 비메모리 반도체 산업으로의 확대와 안정적인 차세대 국내 공급망을 확보/구축하여 향후 미래 산업에 선제적으로 대응하기 위한 핵심기술 및 반도체의 내재화가 필요함

□ 활용분야

- 로봇, 모빌리티 등 다양한 분야에서의 범용(Low-End급) MCU 및 애플리케이션에 활용
- (예) 센서 신호 처리 및 제어, 등

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도: 각각 12개월)
- 정부지원연구개발비 : '24년 5억원 이내(총 정부출연금 15억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

품목번호	수출연계-품목-05	산업 기술 분류	중분류 I		중분류 II				
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체 소자 및 시스템		-				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음								
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차								
R&D 지출성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)								
품목명	암호화 가속기가 적용된 AP기능을 지원하는 지능형 결제단말기용 SoC및 SW기술 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호			
			8	5	4	1	5	0	1
1. 개념 및 개발내용									
<input type="checkbox"/> 개념									
<ul style="list-style-type: none"> 다중 결제 수단 (Magnetic Swipe Reader/Smart Card Reader/QR/NFC)을 지원 가능하며, 암호화 가속기가 내장된 AP 기능을 지원하는 PCI-PTS 인증 (Payment Card Industry-Payment Terminal Security) 지능형 결제단말기용 SoC 및 SW 기술 									
* 핵심목표 : 다중결제기능을 지원하는 컨트롤러 기술 (국내최초)									
<input type="checkbox"/> 개발내용									
<ul style="list-style-type: none"> AP 기능 지원을 위한 프로세서 코어 및 Subsystem 개발 다중 결제 기능 지원을 위한 컨트롤러 개발 <ul style="list-style-type: none"> MSR/SCR/QR/NFC (ISO7811/ISO7816 class A,B,C/ISO 14443 Type A,B) 등 다양한 결제 방식의 I/O를 처리할 수 있는 컨트롤러 개발 카메라 인터페이스를 위한 MIPI CSI-2 PHY 개발 TRNG를 포함하는 암호화 가속기 개발 EMV L1/L2 및 PCI-PTS 보안 규격을 만족하는 결제단말기용 SoC 및 SW 기술 개발 개발 제품의 해외시장 상용화 전략 <ul style="list-style-type: none"> R&BD플랫폼과 연계한 해외시장 진출방안 제시 									
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 프로세서 동작속도 (MHz), MIPI CSI-2 속도 (Gbps), 다중 결제 기능 지원 종류									
2. 지원 필요성									
<input type="checkbox"/> 지원 필요성									
<ul style="list-style-type: none"> (정책적 측면) 결제단말기는 대부분 중국의 범용 AP에 결제방식에 따른 I/O를 개별 지원하는 discrete 형태로 개발되어 보안성 이슈가 존재하며, 향후 미중 무역 갈등으로 수급이 어려워 질 수 있어 정부 차원의 기술 개발 지원 필요 									

- (기술적 측면) 결제단말기용 SoC는 MSR/SCR/QR/NFC 등 다양한 국내외 결제 방식을 지원해야 하며, 고속 카메라 인터페이스 지원 및 보안 규격을 만족하기 위해 암호화 가속기가 내장된 형태의 통합형 SoC 기술 개발 필요
- (시장적 측면) 글로벌 시장의 결제 단말기는 주로 중국에서 조립(제조)되지만 판매는 글로벌 시장에서 이루어지므로 국산 SoC의 글로벌 시장 진출 의의가 있으며, 국제 결제 표준을 지원하는 단말기로 전세계 시장 공략 가능
- (사회적 측면) 중국의 범용 AP 기반 결제단말기는 보안성 문제로 인해 다양한 사회적 문제를 야기할 수 있어, 결제의 신뢰성을 높일 수 있는 통합형 SoC 개발 필요

□ 활용분야

- 다중 결제 방식이 적용되는 지능형 결제단말기 시장

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도: 각각 12개월)
- 정부지원연구개발비 : '24년 5억원 이내(총 정부출연금 15억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

②

전자부품산업기술개발 (첨단시스템반도체디자인플랫폼기술개발)

품목번호	첨단SOC-품목-01		산업 기술 분류	중분류 I	중분류 II								
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체 소자 및 시스템	-									
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음												
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 원스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차												
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)												
품목명	DMT(Discrete Multi-Tone) 변조 기반 고속 인터페이스 기술개발 (TRL : [시작] 3단계 ~ [종료] 6단계)		품목코드 (HSK10)	류	호	소호	통계부호						
				8	5	2	3	5	2	9	0	0	0
1. 개념 및 개발내용													
<input type="checkbox"/> 개념													
<ul style="list-style-type: none"> 고속 통신 기술에 적용 중인 PAM(Pulse Amplitude Modulation) 기술 한계를 극복하기 위한 차세대 QAM(Quadrature Amplitude Modulation) 기술 기반 DMT 변조 고속인터페이스 IP 및 플랫폼 기술개발 													
* 핵심목표 : 기존기술 호환 전송선로 1m이상, 전송속도 120Gbps이상 고속인터페이스 IP(세계최고)													
<input type="checkbox"/> 개발내용													
<ul style="list-style-type: none"> 채널특성에 강인한 QAM 변조를 이용한 OFDM 고속 통신 링크의 모델 개발 Time-domain과 Frequency-domain 변환을 위한 고속 FFT 및 IFFT 개발 OFDM 신호전송을 위한 고속 Time-interleaved ADC, DAC 개발 채널 손실 복원을 위한 채널 코딩 기술 및 Equalizer, 보정 기술개발 다양한 응용을 위한 DSP 기반 IP 및 설계/검증 플랫폼 기술개발 OFDM 고속 인터페이스를 위한 송신부/수신부 IP 개발 및 검증 플랫폼 개발 Backward Compatability를 위한 NRZ/PAM 변조기술 지원 기술개발 													
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 첨단공정기준, 전송속도(Gbps/lane), 전송라인 길이, ADC/DAC 성능목표, 송수신 IP 크기/전력소비 등													
2. 지원 필요성													
<input type="checkbox"/> 지원 필요성													
<ul style="list-style-type: none"> (정책적 측면) 본 과제의 기획취지는 국내파운드리 포팅을 목표로 하는 초고속인터페이스IP 기술개발을 지원하기 위함으로, 초고속 인터페이스 기술은 앞으로 													

높은 기술 수요 및 기술 발전이 지속적으로 요구되지만 해외 의존도가 높고 시장 진입 장벽이 높은 분야로 정부 지원을 통해 경쟁력 있는 국내 기반 기술 확보 및 산업 생태계 조성이 기대됨

- **(기술적 측면)** 해외 기술 의존도가 높은 고속 인터페이스 분야에서 차세대 원천 기술 개발을 통해 고속 인터페이스 IP 확보 및 국산화/수입대체가 가능하고 국내 비메모리 반도체 산업의 경쟁력 향상이 기대됨
- **(시장적 측면)** 고속 인터페이스 시장은 고속 메모리 저장장치, 인공지능, 데이터 전송 등의 시장에서 필수기술이며, 향후 높은 시장성장 예상됨
- **(사회적 측면)** 인공지능 기술 혁명의 대두와 함께 향후 급성장 하고 있는 인공지능 시스템, 빅데이터, 하이퍼스케일 데이터센터 산업 등에서 반드시 필요/요구되는 고속 데이터 인터페이스 기술의 차세대 기술선점에 대한 필요성이 있음

□ **활용분야**

- 고속 저장장치, 고속 데이터 통신, 인공지능반도체 등

3. 지원기간/예산/추진체계

- **기간** : 57개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 5차년도: 각각 12개월)
(1단계 33개월, 2단계 24개월)
- **정부지원연구개발비** : '24년 8억원 이내(총 정부출연금 50.7억원 이내)
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 징수

품목번호	첨단SOC-품목-02		산업 기술 분류	중분류 I	중분류 II			
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체 소자 및 시스템	-			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	멀티프로토콜 고속 인터페이스 PHY 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호	
				8 5	2 3	5 2	9 0 0 0	
1. 개념 및 개발내용								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> 고속 직렬 인터페이스의 물리 계층에서 다양한 표준을 만족할 수 있도록 PMA layer를 구성하고, 다수의 표준을 만족할 수 있도록 세부적인 재구성 및 조정 기능을 갖는 멀티프로토콜 고속 인터페이스 PHY 기술을 개발 								
* 핵심목표 : 동시지원 프로토콜 3개 이상 멀티프로토콜 PHY 기술 (국내최초)								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> Multi-protocol Transmitter 설계기술 개발 Multi-protocol Receiver 설계기술 개발 Wide-range, Low-jitter PLL 설계기술 개발 Highly Configurable Equalizer 설계기술 개발 								
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 10nm 이하 제조공정을 기준으로 전송속도, 지원 프로토콜 (최소 3개 이상), 표준인터페이스 규격 (최소 3개 이상), 크기/전력소비 등								
2. 지원 필요성								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> (정책적 측면) 본 과제의 기획취지는 국내파운드리 포팅을 목표로 하는 초고속 인터페이스IP 기술개발을 지원하기 위함으로, 다양한 표준에 대응할 수 있는 고속 인터페이스 IP 개발을 통하여 미세공정 활용으로 급증하고 있는 SoC 개발 시간/비용을 절감할 수 있으며, 이를 통하여 국내 팹리스 기업의 경쟁력 강화 및 파운드리 산업의 수요 창출 확대 가능 (기술적 측면) 고속 인터페이스 IP는 첨단 SoC 제품을 개발할 때 반드시 필요한 기술이며, 저전력 및 고속 동작 기술 구현을 통하여 제품 국산화 및 기술의 자립 기반 구축/확대 가능 (시장적 측면) 고속 인터페이스 기술은 고속 메모리 저장장치, 데이터 통신, 정보 전달, 인공지능 반도체 등으로 연평균 15% 이상의 시장 성장이 전망됨 								

- (사회적 측면) 반도체 설계 IP 시장 중 고속 인터페이스 IP의 개발과 시장 공급은 중소 팹리스기업이 시장을 주도하고 있기 때문에 파운드리와 중소 팹리스 기업을 공유하는 생태계 구축이 필요함

□ 활용분야

- 인공지능반도체, 고속 데이터 통신, 유선데이터 장치, 고속 메모리 저장장치 등

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도: 각각 12개월)
- 정부지원연구개발비 : '24년 9.5억원 이내(총 정부출연금 34.9억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

품목번호	첨단SOC-품목-03		산업 기술 분류	중분류 I	중분류 II			
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체 소자 및 시스템	-			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	MIPI 표준을 지원하는 고속 A-PHY 인터페이스 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호	
				8 5	2 3	5 2	9 0	0 0
1. 개념 및 개발내용								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> MIPI 얼라이언스에서 자동차용 고속 인터페이스 표준규격으로 제정/공급하고 있는 A-PHY 인터페이스에 대하여 자동차 적용이 가능하도록 ISO26262 및 ASIL 대응 기술을 포함하여 A-PHY 고속 직렬 인터페이스 기술 개발 								
* 핵심목표 : 전송속도 30Gbps 이상 자동차용 고속 인터페이스 기술 (세계최고)								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> MIPI A-PHY 표준기반의 기능안전성 구조연구 초저 Latency 및 노이즈 강건성 구조 개발 ISO-26262 및 ASIL 대응기술 개발 MASS(MIPI Automotive SerDes Solution) 프레임워크 기반 SerDes 구조/회로 개발 MIPI A-PHY 고속 인터페이스 및 검증 플랫폼 개발/구축 								
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 10nm 이하 제조공정을 기준으로 전송속도, 표준인터페이스 규격(최소 A-PHY 1.1.1 이상), ISO26262/ASIL 대응기술 구현내역, 크기/전력소비 등								
2. 지원 필요성								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> (정책적 측면) 본 과제의 기획취지는 국내파운드리 포팅을 목표로 하는 초고속 인터페이스IP 기술개발을 지원하기 위함으로, 다양한 표준에 대응할 수 있는 고속 인터페이스 IP 개발을 통하여 미세공정 활용으로 급증하고 있는 SoC 개발 시간/비용을 절감할 수 있으며, 이를 통하여 국내 팹리스 기업의 경쟁력 강화 및 파운드리 산업의 수요 창출 확대 가능 (기술적 측면) 고속 인터페이스 IP는 첨단 SoC 제품을 개발할 때 반드시 필요한 기술이며, 저전력 및 고속 동작 기술 구현을 통하여 제품 국산화 및 기술의 자립 기반 구축/확대 가능 								

- (시장적 측면) 자동차에 활용되고 있는 전장 인터페이스의 거의 대부분이 MIPI 표준을 적용하고 있으며, 부족한 장거리 전송규격의 측면에서도 MIPI 표준을 기본적으로 지원하는 것이 시장진입에 유리한 부분이 있음
- (사회적 측면) 반도체 설계 IP 시장 중 고속 인터페이스 IP의 개발과 시장 공급은 중소 팹리스기업이 시장을 주도하고 있기 때문에 파운드리와 중소 팹리스 기업을 공유하는 생태계 구축이 필요함

□ 활용분야

- 자동차용 블랙박스, 후면카메라, SVM시스템, 라이다, 레이더 등의 인터페이스

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도: 각각 12개월)
- 정부지원연구개발비 : '24년 9.5억원 이내(총 정부출연금 34.9억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

품목번호	첨단SOC-품목-04		산업 기술 분류	중분류 I	중분류 II				
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체 소자 및 시스템	-				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음								
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차								
R&D 지출성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)								
품목명	차세대 HPC SoC Architecture 및 Design 플랫폼 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)			품목코드 (HSK10)	류	호	소호	통계부호	
					8	5	2	3	5
1. 개념 및 개발내용									
<input type="checkbox"/> 개념									
<ul style="list-style-type: none"> ○ HPC(High Performance Computing) SoC의 완성도 및 설계 효율을 극대화하기 위한 아키텍처와 디자인플랫폼 개발 ○ 국내 파운드리 첨단미세공정(4/5nm급)에 최적화된 HPC SoC향 디자인플랫폼 확보 									
* 핵심목표 : 4/5nm급 첨단공정 기반 HPC향 디자인플랫폼 기술 (세계최초)									
<input type="checkbox"/> 개발내용									
<ul style="list-style-type: none"> ○ HPC향 미세공정(4/5nm급) SoC Architecture 설계 <ul style="list-style-type: none"> - HPC향 고성능 Computing Cluster 및 H/W 가속기를 수용할 수 있는 고대역폭의 Cache-coherent on-chip Bus 및 Memory Subsystem 구성 (예 : NoC, LPDDR5X, GDDR6/7, HBM3, 등) - 대용량/고성능 Storage 및 Network Interface를 지원하기 위한 Advanced Wired Connectivity 지원 (예: PCIe Gen5/6, 400/800G Ethernet, 등) ○ Multi Cluster CPU의 병렬 처리와 대용량 데이터 처리를 지원하는 플랫폼 ○ HPC SoC 플랫폼 기반 Integration, Verification을 위한 설계/검증 자동화 프레임워크 개발 <ul style="list-style-type: none"> - SoC Platform 선행 설계 및 이에 최적화된 SoC Integration/Verification 자동화 ○ 수요기업(팹리스) 참여를 통한 SoC Platform의 Integration 및 Verification 자동화 프레임워크를 통한 검증 필수 									
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 첨단미세공정 옵션, 수요팹리스 기업군의 평가, 구성 IP의 SPEC 등									
2. 지원 필요성									
<input type="checkbox"/> 지원 필요성									
○ (정책적 측면) AI 기술의 확산과 함께 서버향 HPC SoC 시장은 급성장하는 데 반해									

국내 기술 및 사업 기반은 취약하여, HPC SoC향 Design 플랫폼 확보를 통해 본 사업의 목적인 디자인하우스에 대한 지원 및 시스템반도체 생태계 강화에 기여

- (기술적 측면) 첨단 HPC SoC는 Memory I/F 및 PCIe Gen5/6, 112G SerDes와 같은 고가의 IP 적용이 필요하며 기능/전기적 특성 만족을 위한 설계 난이도가 급격히 증가하여, SoC Platform과 같이 미리 설계/검증된 SoC 설계방법론을 통해 Silicon 성공 확률을 높게 하고, 설계 시간/비용 급격히 낮출 수 있음
- (시장적 측면) HPC 시장 전망은 2026년까지 전체 파운드리 시장이 1,500억 달러까지 성장할 것이고, 그 시장 중 HPC 응용이 36%를 차지할 것 예상됨. 국내 Fab.을 사용하려는 국내외 기업들이 지속적인 HPC향 SoC 개발을 로드맵을 가지고 있어 국내 팹리스-파운드리 생태계 발전에 기여 가능
- (사회적 측면) 빅데이터 처리, 가상현실, 딥러닝, 자율 주행 등 높은 데이터 연산 처리 능력에 대한 수요가 증가하면서 HPC(High Performance Computing) SoC 활용 분야가 증가하고 있음. HPC SoC 설계 및 자동화 프레임워크 개발 관련 고급 인력 직접고용 및 국내 스타트업 및 Fabless 업체 설계인력 간접고용 효과 가능

□ 활용분야

- AI 서버 및 고성능 빅데이터 서버용 반도체 개발의 설계 플랫폼으로 활용

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도: 각각 12개월)
- 정부지원연구개발비 : '24년 9억원 이내(총 정부출연금 33억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

품목번호	첨단SOC-품목-05		산업 기술 분류	중분류 I		중분류 II	
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체 소자 및 시스템		-	
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	첨단시스템반도체 설계를 위한 공용 플랫폼 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호
				8 5	2 3	5 2	9 0 0 0
1. 개념 및 개발내용							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> ○ 오토모티브 및 고속인터페이스 등의 시스템반도체 설계를 위해 공통적으로 확보해야 하는 고가의 IP들을 통합하여 공용성을 갖춘 기본 설계 플랫폼으로 검증 및 칩 제작에 활용할 수 있는 공통 플랫폼 기술 							
* 핵심목표 : 첨단공정 기반 공통 디자인 플랫폼 기술 (국내최초)							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> ○ 기본 설계 구조를 구성하는 고성능 IP 확보 및 통합 기술 개발 ○ 첨단시스템반도체 기능을 구현한 코어의 개방형 인터페이스/버스 기술 개발 ○ 공통 플랫폼에 3자 구현 코어의 보안성 제공 기술 개발 ○ 공용 플랫폼과 3자 구현 코어의 설계 검증 환경 기술 개발 							
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 지원 공정 옵션, 응용분야, 아키텍처 구조, 구성 IP의 상세 SPEC 등							
2. 지원 필요성							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> ○ (정책적 측면) 높은 비용과 시간이 필요한 설계과정에서의 효율성 증대를 위해 설계 플랫폼 개발을 지원하여 본 사업의 목적인 디자인하우스에 대한 지원 및 시스템반도체 생태계 강화에 기여 ○ (기술적 측면) 첨단 시스템반도체는 빅데이터를 전송 및 처리하기 위한 고속 인터페이스 IP, Rich-OS 구동용 CPU 및 주변 IP, 내부 데이터 전송을 위한 BUS 매트릭스 IP, 대용량 메모리 인터페이스 IP 등이 기본 구성으로 필요 ○ (시장적 측면) '25년 시스템반도체 시장규모 중 AI 반도체는 537억\$로 17.3% 점유 예상되며, '30년 AI반도체는 1179억\$로 CAGR은 21%로 높은 시장성장이 예상됨 							

- (사회적 측면) 빅데이터, 인공지능 분야 등 IP 개발에 있어 개발 시간 및 중복되는 IP 개발의 부담감을 줄일 수 있는 공용성의 기본 설계 플랫폼을 구현이 필요함

□ 활용분야

- 서버, IoT디바이스 및 자동차용 첨단 시스템반도체 설계 기업 설계 플랫폼으로 활용

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도 : 각각 12개월)
- 정부지원연구개발비 : '24년 9억원 이내(총 정부출연금 33억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

품목번호	첨단SOC-품목-06		산업 기술 분류	중분류 I	중분류 II			
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체 소자 및 시스템	-			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	In-system test (IST) 내장 차량용 반도체 SoC 플랫폼 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호	
				8	5	2	3	5
						2	9	0
							0	0
								0
1. 개념 및 개발내용								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> ○ 자동차 온도, 압력, 속도 등 각종 정보를 측정하는 센서 및 전자제어장치 등의 상태 및 정보를 실시간으로 진단함으로써 자동차 기능 안전에 대한 고신뢰성을 갖는 오토모티브 프로세서 디자인 플랫폼 개발 								
* 핵심목표 : IST내장 차량용 반도체 디자인 플랫폼 및 솔루션 기술 (국내최초)								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> ○ 오토모티브 프로세서 디자인플랫폼 개발 ○ 오토모티브 영상처리 및 NPU, CPU, GPU 등 기반 IST 솔루션 개발 ○ IST를 지원하는 오토모티브 프로세서 디자인플랫폼 기반 SoC 시제품 제작 및 검증 ○ 실시간 진단 기능을 지원하는 고신뢰성 오토모티브 프로세서 디자인플랫폼 개발 및 구현/검증 								
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 차량용 반도체 기능 안전 및 신뢰성 평가 방안 제시, 통신네트워크 (IEEE 1687 IJTAG)								
2. 지원 필요성								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> ○ (정책적 측면) 배출가스 규제 등 친환경 정책으로 전장 산업 등에 활용되는 오토모티브 프로세스의 주도권 유지에 중요한 차량용 반도체 SoC 플랫폼 개발지원을 통해 본 사업의 목적인 디자인하우스에 대한 지원 및 시스템반도체 생태계 강화에 기여 ○ (기술적 측면) 자율주행 레벨 4 및 5 수준에 도달하기 위해서는 메모리와 컴퓨팅 성능이 요구되며, 기능 안전 구현의 난이도 및 동작 신뢰성 보장이 어려워지고 있어 이러한 기술의 한계를 돌파해야 구현할 수 있는 기술임 ○ (시장적 측면) '21년 오토모티브 프로세서 시장은 39억 달러에 이며, 2027년까지 17.2%로 성장하여 100억 달러에 달할 것으로 전망됨 								

- (사회적 측면) ADAS와 자율주행 자동차에 적용할 수 있는 기술 개발함으로써 운전자와 보행자 및 주변 환경의 안정성을 확보와 자율주행 레벨 성장하기 위해서는 오토모티브 프로세서 핵심 기술 확보가 필요함

□ 활용분야

- 자율주행, 항공, 우주, 의학 등 안전 및 고신뢰도가 요구되는 응용 분야
- 서버, IoT 디바이스 및 자동차용 첨단 시스템 반도체 설계 기업 설계 플랫폼으로 활용

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9개월, 2차년도 ~ 3차년도: 각각 12개월)
- 정부지원연구개발비 : '24년 9억원 이내(총 정부출연금 33억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수

③ 전자부품산업기술개발 (첨단전략산업초격차기술개발(반도체))

품목번호	초격차반도체-품목-01		산업 기술 분류	중분류 I	중분류 II		
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 장비	-		
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차						
R&D 자율성트랙유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)						
품목명	첨단 패키징 초격차 실현을 위한 글로벌 기술협력 (TRL : [시작] 2단계 ~ [종료] 5단계)		품목코드 (HSK10)	류 8 4	호 8 6	소호 4 0	통계부호 2 0 1 0
1. 개념 및 개발내용							
<input type="checkbox"/> 개념 ○ 첨단 패키징 글로벌 기술 및 성과확산 연구개발 플랫폼 구축							
<input type="checkbox"/> 개발내용 ① 첨단 패키징 원천기술 확보방안 마련 및 해외기술의 국내 확산을 위한 기술교류 - 총괄워크숍 및 기\관별 협업체계구축 - 미국 SRC (Semiconductor Research Corporation) 협업체계 구축을 통한 한·미 글로벌 기술협력 과제의 성과관리 ② 첨단 패키징 분야 기술로드맵 구축 및 시장동향 분석 - 첨단 패키징 국제협력 추진 세부전략 수립 ③ 첨단 패키징 기술의 성능평가·검증을 위한 평가 스펙도출 및 수요기업 자문연계 ④ 세부 과제의 자체평가를 위한 Test Wafer 확보방안 마련 - 세부 과제별 Test Wafer 요구 Spec. 파악 및 공급기준 및 절차수립 - 국내외 Test Wafer 제작 기관 연계 및 협력 추진							
· 연구개발계획서 제출시 ①, ②, ③, ④ 개발 내용 전체 포함 필수 · 연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 총괄 워크숍 및 기술교류(건/년), 수요기업 자문연계 건수 등							
2. 지원 필요성							
<input type="checkbox"/> 지원 필요성 ○ (정책적 측면) 패키징 기술은 신흥·핵심기술에 대한 선도적인 투자 분야로 미래 전략산업의 차세대 경쟁력 창출로 국가 차원의 지원이 요구되고 있으며, 중소중견 기업 중심으로 구성되어 있는 패키징 소부장 기업의 기술 경쟁력 확보를 위해 정부 지원이 시급 ○ (기술적 측면) 첨단 패키징 기술을 통해 반도체 전 공정 집적도 한계에 따른 실장 면적 문제, 불량으로 인한 수율 저하 등의 문제 해결 기대 ○ (시장적 측면) 국내기업은 Low-end 기술 기반의 저수익 사업군에 집중된 상황에서 대만 및 중국기업이 위협하고 있어 기술 고도화를 통한 글로벌 시장 선점이 필요 ○ (사회적 측면) 첨단 패키징 기술은 메모리 반도체 이외 시스템 반도체 영역에서도 우리나라 글로벌 시장 점유율 확대 및 주도권 강화가 가능							

□ 활용분야

- AI모듈, 차량용 반도체, HPC 등 전기전자 분야

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 5억원 이내(총 정부출연금 11 억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	초격차반도체-품목-02	산업 기술 분류	중분류 I	중분류 II				
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체소자및시스템					
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차							
R&D 자율성트랙 유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)							
품목명	Glass Interposer 기반 2.5D 고속인터페이스 개발 (TRL : [시작] 2단계 ~ [종료] 5단계)	품목코드 (HSK10)	류	호	소호	통계부호		
			8	5	4	2	9	0
1. 개념 및 개발내용								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> ○ 서버용 고성능 GPU, 메모리 또는 고속 AP, 메모리 등 고집적 2.5D 및 칩렛 첨단 반도체 부품을 위한 Interposer 기판의 대면적화에 따라 Si 기판 대비 낮은 비용에 대면적 구현이 가능한 Glass Interposer 기판 기술 								
* 핵심목표 : Glass 기반 미세배선 2 μ m 6층배선 이상 + 32Gbit/s 이상 단일채널 전송속도 구현 (세계최고수준)								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> ○ 미세 배선이 가능한 Glass Interposer 기판 기반의 저전력, 고속 2.5D Die-to-Die 인터페이스 기술 개발을 통해 첨단 반도체 패키징 기반 기술 확보 - 고속인터페이스를 위한 Glass Interposer 및 패키징 기술 개발 - 라미네이션 기반 양면 다층 공정 기술 개발 - Glass 기판 기반 미세 배선 공정 기술 개발 - 상용 칩렛 인터페이스 규격 대응 가능 저전력 송수신 IP 개발 - 고속인터페이스를 위한 Glass Interposer 설계 및 모델링 분석기술 개발 - 고속인터페이스 응용을 위한 저전력 송수신기 개발 및 검증 - 칩렛 레벨의 고속인터페이스 구동 검증 								
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수								
▶ 미세 배선평(Line/Space)(μ m), Bump Pitch(μ m), 채널당 전송 속도(Gbit/s) 등								
▶(국제공동개발 대상 역할) 고밀도 다층 배선 구현을 위한 글래스 인터포저 공정 요소 기술 개발								
- 다층 유전 절연층 형성 및 미세 금속 배선 형성 등 요소 기술 개발								
- 첨단 패키징 관련 인프라를 통한 R&D 및 공정 서비스 제공								
2. 지원 필요성								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> ○ (정책적 측면) 미국, 독일, 일본의 선진 기업 및 기관에서는 Corning, Schott, AGC 등 소재 기업을 필두로 Glass를 Interposer로 활용하기 위한 연구를 10년 이상 지속 수행 하였으나, 국내의 경우 상대적으로 PCB (Organic) 기반 산업에 강점이 많고, Handling에 대한 어려움으로 인해 상대적으로 Glass 기판을 활용한 패키지 연구가 매우 미미하였음 								

- (기술적 측면) 2.5D/3D 고집적 칩렛 패키지 기술은 첨단 반도체 개발을 위한 핵심 요소기술로, Glass Interposer 기술은 대면적화가 가능하면서 미세 패턴 구현에 유리하여, 첨단 반도체 패키징에 널리 적용될 것으로 기대되고 있음.
- (시장적 측면) 2.5D/3D 패키징 기술이 적용되는 제품군이 확대 되고 있어 향후 응용 제품 전체 시장은 2030년 기준 약 80조원에 이르고, Interposer 기판 시장은 약 2조원에 다를 것으로 예측됨.
- (사회적 측면) 첨단 반도체 패키징 기술은 빅데이터, AI, 자율주행, VR 등 경제적, 사회적 파급효과가 큰 첨단반도체 제조에 있어 필수 불가결한 기술로, 패키징 기술 확보에 따라 기술 주도권 확보 여부가 달려있어 연구개발 지원 필요함.

활용분야

- 빅데이터 서버, AI, 자율주행, VR 등 첨단 반도체 활용 분야
- 인터포저 기반 2.5D 첨단 반도체 패키지 기판

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수
- 기 타 : 해외기관 참여 필수

품목번호	초격차반도체-품목-03	산업 기술 분류	중분류 I	중분류 II		
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체 장비	-		
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음					
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차					
R&D 자율성트랙유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)					
품목명	잉크젯 프린터를 이용한 저가형 유기 RDL 인터포저 기술개발 (TRL : [시작] 2단계 ~ [종료] 5단계)	품목코드 (HSK10)	류	호	소호	통계부호
			8 4	8 6 4	0	2 0 1 0
1. 개념 및 개발내용						
<input type="checkbox"/> 개념						
<ul style="list-style-type: none"> 실리콘 및 유리 인터포저의 고가 TSV 공정이 필요 없는 유기 RDL 인터포저를 직접 프린팅 방식으로 제작함으로써 저밀도 및 대면적 패키지에 활용 가능한 기술 						
* 핵심목표 : 프린팅 면적 500×500mm ² 이상 + 프린팅 배선 선폭 5μm 이하 (세계최고수준)						
<input type="checkbox"/> 개발내용						
<ul style="list-style-type: none"> 미세선폭의 전도성 잉크 프린팅을 위한 프린팅 기술 개발 대면적 프린팅 공정을 위한 프린터 헤드 균일도 향상 기술 개발 재배선층의 전도성 잉크 프린팅을 위한 고점도용 구리(Cu) 잉크 개발 고전압 멀티채널 드라이버 기술 개발 재배선층을 위한 패키지 기판 위에 금속 배선 및 절연체 프린팅 기술 개발 Laser-assist 기반의 금속 비아 기술 및 마이크로 범퍼를 위한 프린팅 공정 기술 개발 직접 프린팅 된 재배선 인터포저를 이용한 대면적 패키징 기술 개발 						
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수						
▶ 프린팅 면적(mm ²), 프린팅 배선 선폭(μm), 금속 배선 비저항(μΩ-cm) 등						
▶ (국제공동개발 대상 역할) 패키징 테스트 기판 설계 및 유기 기판 개발과 신뢰성 기술 확보						
2. 지원 필요성						
<input type="checkbox"/> 지원 필요성						
<ul style="list-style-type: none"> (정책적 측면) 반도체 프로세서, 반도체 메모리 등의 결합방식이 응용제품마다 다르므로 다양한 형태의 RDL을 다품종·소량 맞춤 생산에는 중소중견기업이 적합하며, 이러한 중소중견기업의 기술력 확보를 위한 정부 지원이 시급함 (기술적 측면) 노광 및 식각 공정이 필요 없는 직접 프린팅 방식으로 RDL 인터포저의 배선 및 절연층을 제작함으로써, 저밀도 및 패널 레벨의 대면적 패키지에 활용 가능함 (시장적 측면) 고가의 실리콘 인터포저는 고밀도 및 고성능 패키지로 활용하고, 유기 RDL 인터포저는 저가 소재와 공정을 사용하여 저밀도 패키지에 활용 가능함 (사회적 측면) 비접촉식 인쇄 공정은 에너지 사용 및 폐기되는 재료의 소모량이 기존 진공/노광 공정에 비해 30% 이상 감소할 수 있는 친환경 기술임 						
<input type="checkbox"/> 활용분야						
반도체 외주조립·테스트 후공정 기술로써 시스템 반도체 2.xD 이중집적 패키징						
3. 지원기간/예산/추진체계						
<ul style="list-style-type: none"> 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월) 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내) 주관연구개발기관 : 제한없음 기술료 징수여부 : 징수 기 타 : 해외기관 참여 필수 						

품목번호	초격차반도체-품목-04		산업 기술 분류	중분류 I	중분류 II				
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체 장비					
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음								
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차								
R&D 자율성트랙유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)								
품목명	2.xD 고성능 시스템 반도체용 고밀도 인터포저 및 브릿지 다이 기술개발 (TRL : [시작] 2단계 ~ [종료] 5단계)			품목코드 (HSK10)	류	호	소호	통계부호	
					8 4	8 6	4 0	2 0	1 0
1. 개념 및 개발내용									
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ 첨단 2.xD 이중집적 패키징 기술은 시스템 반도체 핵심기술로, 고집적 인터포저 및 브릿지 다이 기술을 접목한 고성능 반도체 후공정 제조기술 									
<p style="border: 1px dashed black; padding: 5px;">* 핵심목표 : Die edge 전송효율 1,317GB/s/mm 이상 (세계최고수준)</p>									
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> ○ 고밀도 인터포저 및 브릿지 다이의 기초 연구, 설계, 시뮬레이션 기술 개발 ○ 선진 인프라 활용 인터포저 및 브릿지 다이 제조 위한 요소 공정 기술 개발 ○ 인터포저 및 브릿지 다이 적용 2.xD 패키지의 시제품 제작, 신뢰성 평가 및 성능 검증 개발 									
<p style="border: 1px dashed black; padding: 5px;">연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> ▶ 최대 전송속도(Gbps), Die edge 전송효율(GB/s/mm), 패키지 신뢰성(Cycle) 등 ▶ (국제공동개발 대상 역할) 첨단 패키징의 핵심 소재인 고밀도 Silicon 및 Glass 인터포저와 브릿지 다이 설계 및 제작 									
2. 지원 필요성									
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> ○ (정책적 측면) 이중집적 반도체 패키징은 시스템 반도체 산업 핵심기술로 인텔(美)의 EMIB, Foveros와 TSMC(대만)의 CoWoS, CoWoS-L 등의 기술로 세계 시장 선도 ○ (기술적 측면) 고성능 시스템 반도체 첨단패키징 기술선도 위해 요구되는 2.xD 고밀도 실리콘/Glass 인터포저 및 브릿지 다이 기반 기술로 국제협력 통한 내재화 필수 ○ (시장적 측면) 2.xD/3D 첨단 반도체 패키지 관련 시장 매년 20% 이상 급성장하는 추세로 수요 및 그 활용범위도 커질 것으로 기대 ○ (사회적 측면) 이중집적 패키징 기술은 복합적으로 연계되는 고부가가치 반도체 후공정 산업 핵심기술로 소부장 기술과 융합적 고도화를 통한 기술 경쟁력 확보 시급하고 자립화를 위해 전문 중견기업 육성 필요 									
<input type="checkbox"/> 활용분야 <ul style="list-style-type: none"> ○ 인공지능 반도체로 고성능 컴퓨팅, 데이터 센터, 자율주행차, 로봇 등 다양한 분야 									
3. 지원기간/예산/추진체계									
<ul style="list-style-type: none"> ○ 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월) ○ 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내) ○ 주관연구개발기관 : 제한없음 ○ 기술료 징수여부 : 징수 ○ 기 타 : 해외기관 참여 필수 									

품목번호	초격차반도체-품목-05		산업 기술 분류	중분류 I	중분류 II			
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체장비				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 원스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차							
R&D 자율성트랙유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)							
품목명	전기화학 식각 기술 기반 하이브리드 본딩 패드 디싱 제어 및 CMP 하이브리드 연마 기술 개발 (TRL : [시작] 2단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호	
				8 4	8 6	4 0	2 0 1 0	
1. 개념 및 개발내용								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> ○ 비접촉식으로 Cu 식각을 나노스케일로 조절 가능한 전기화학 식각 공정 통해 기존 CMP 공정 보완하여 dishing과 같은 물리적 손상 없는 Cu 연마공정 기술 개발 								
<p style="border: 1px dashed black; padding: 5px;">* 핵심목표 : Polishing Rate 0.5μm/min 이상 + Surface Roughness 10nm 이하 구현을 위한 접촉/비접촉 하이브리드 연마 공정 개발 (세계최고수준)</p>								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> ○ 전기 식각 공정 대응 Cu 박막 기초 연구 ○ 전기화학적 변수 조절 통한 박막의 물성에 따른 식각 특성 조절 기술 개발 ○ 패키지용 배선 형성을 위한 전기 식각 공정 설계 ○ 대면적 저비용 연마 공정 실현을 위한 전기화학 식각과 CMP의 복합 공정 개발 								
<p style="border: 1px dashed black; padding: 5px;">연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> ▶ Uniformity(%), Surface Roughness(nm), Polishing Rate(μm/min) 등 ▶(국제공동개발 대상 역할) 반도체용 구리 박막 기초연구, 전해식각공정 기술 메커니즘 규명, 전해식각공정 기술의 대면적화 및 양산 공정 테스트 								
2. 지원 필요성								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> ○ (정책적 측면) 전기 식각 기술을 기반으로 한 반도체 본딩 패드 디싱 제어 및 연마 하이브리드 기술은 반도체, 디스플레이 및 IOT 가전 등의 분야에 적용되는 기술로 정부 정책과 부합 ○ (기술적 측면) 패키지 기술별 세분화된 분석, 요소 기술 및 개발 동향 제시 등을 통해 국내 업체의 Low-end 기술 기반 중심에서 탈피하여 기술 고도화 R&D 수행을 위한 기획 및 성과 도출과 고부가가치 사업화 절실 ○ (시장적 측면) 첨단 패키지 시장은 2020년 304억 달러 규모에서 연 평균 8%의 성장률(2021년: 16%)로 2026년에는 459억 달러 전망됨. ○ (사회적 측면) 첨단 패키지에 대한 글로벌 기업·기술 동향 분석을 통한 명확한 국내 기술 수준 제시와 기술별 세분화를 통한 요소기술 분석이 필요하며, 국내 업체 현황을 고려한 기존 패키지 기술과 첨단 패키지 기술 개발을 위한 'Two-Track형'방안 수립 및 지원 필요 								
<input type="checkbox"/> 활용분야								
<ul style="list-style-type: none"> ○ TSV 형성 공정, 반도체 패키징용 재배선 공정, 하이브리드 본딩 패드 형성 공정 								

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수
- 기 타 : 해외기관 참여 필수

품목번호	초격차반도체-품목-06		산업 기술 분류	중분류 I	중분류 II		
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체소자및시스템				
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차						
R&D 자율성트랙유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)						
품목명	3D Multi Die의 이중접합 패키지구조에서 열적-기계적-전기적 변형에 대한 해석 기술 개발 (TRL : [시작] 2단계 ~ [종료] 5단계)		품목코드 (HSK10)	류 8 5	호 4 2	소호 9 0	통계부호 0 0 0 0
1. 개념 및 개발내용							
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ 다양한 크기, 재료, 공정 조건, 제조 기술 등 복합적인 요소들을 고려해야 하는 이중 접합 패키지의 설계를 위하여 열적, 기계적 및 전기적 사항을 고려한 정교한 모델링 및 시뮬레이션 해석 기술의 개발. <div style="border: 1px dashed black; padding: 5px; margin: 5px 0;"> <p>* 핵심목표 : 열해석 + 전기해석 + 기계해석 + Thermal Test Vehicle (칩 및 패키지) 발열성능 1kW/cm² 이상 (세계최고수준)</p> </div> <input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> ○ 이중접합 패키지 Architecture 확보 ○ 전기적, 기계적 및 열적 해석을 포함하는 전산모사 기술 개발 ○ 대면적 폼팩터를 갖는 2.5D 이중접합 패키지를 위한 워피지 측정 및 해석 기술개발 ○ 열-전기-기계 연성 해석을 통한 다중 물리계 해석 기법 확보 ○ 이중접합 패키지의 발열 기능 및 온도 측정을 위한 2.5D 인터포저 기반 Thermal Test Chip 개발 <div style="border: 1px dashed black; padding: 5px; margin: 5px 0;"> <p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 ▶ 열, 전기, 기계, 워피지 해석 기술 오차율(%), Thermal Test Vehicle (칩 및 패키지) 발열 성능 (W/cm²), 온도 측정오차 (° C), 이중접합패키지 Architecture 수(개) 등 ▶(국제공동개발 대상 역할) 이중접합 패키지 Architecture 확보 및 열적 설계 최적화 연구</p> </div>							
2. 지원 필요성							
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> ○ (정책적 측면) 해석기술 개발을 위해서는 전문적인 기술과 관련 분야에 대한 이론적 지식을 기반으로 하며 실제품 측정값과 비교 검증을 통하여 Simulation 기술을 증진 시키고 관련된 측정기술을 동반하여 개발하여야 함 - 이에 따라 전산 모사를 위한 핵심 기술 개발은 단기간에 이루어지지 않으며, 장기간 연구가 필요함에 따라 정부 지원이 반드시 필요함 ○ (기술적 측면) 3D 패키지는 다양한 물질이 복잡한 구조로 결합되어, Crack, 박리, TSV void 및 깨짐 등 신뢰성을 저하하는 문제점이 발생하며, 작용하는 메커니즘의 규명에 어려움이 있음 							

- 따라서 전산 시뮬레이션을 기반한 다층 multi-die로 이루어진 3D 적층 패키지 해석 기술이 필수적임
- (시장적 측면) 패키징 기술을 선도하는 선진 연구소들은 미국, 유럽, 싱가포르 등에서 국가적인 규모로 대규모 기술 개발을 추진하고 있어 국내에서도 규모의 경쟁력을 가질 수 있도록 지원 체계 및 연구 조직을 갖출 필요가 있음
- (사회적 측면) 첨단 반도체 패키징 기술은 빅데이터, AI, 자율 주행, VR 등 경제적, 사회적 파급효과가 큰 첨단반도체 제조에 있어 필수 불가결한 기술로, 패키징 기술 확보에 따라 기술 주도권 확보 여부가 달려있어 연구개발 지원 필요함

□ 활용분야

- 2.5D / 3D 첨단 반도체 패키징 설계
- 이종 접합 패키징 설계 및 해석 EDA (전자설계자동화)

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수
- 기 타 : 해외기관 참여 필수

품목번호	초격차반도체-품목-07		산업 기술 분류	중분류 I	중분류 II		
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체장비			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차						
R&D 자율성트랙유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)						
품목명	첨단패키지 패턴 결합 분석장비용 핵심 센싱 기술 및 고신뢰 AI 알고리즘 개발 (TRL : [시작] 2단계 ~ [종료] 5단계)		품목코드 (HSK10)	류 9 0	호 3 0	소호 8 2	통계부호 0 0 0 0
1. 개념 및 개발내용							
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> 반도체 첨단 패키징 소자 결합분석용 측정분석 장비기술 개발 <ul style="list-style-type: none"> 멀티과장 광학빔 기술 기반 구조 및 결합 분석 MI 장비 HW 개발 AI·가상화를 위한 알고리즘 및 연관 SW 개발 <div style="border: 1px dashed black; padding: 5px; margin-top: 10px;"> <p>* 핵심목표 : 저에너지 (< 20 keV) 초고진공 (UHV) 고해상도 고대비 전자 ptychography 기술을 통한 초격차 반도체 소재 구조 (< 분해능 5nm) 분석 및 AI 알고리즘 기술 (세계최초)</p> </div>							
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> 복합측정장비용 전자빔 집속 및 스캔이 가능한 전자빔 광학 경통 기술 패키징 시료의 오염, 결합, void 측정·분석이 가능한 전자빔 흡수·산란·굴절 이미징 기술 결맞음 회절 이미징기반의 분해능 5 nm 이하 영상 재현 기술 3D 패키지 구조의 중적외선~ 근적외선 이방성 광학 특성 분석용 타원편광기술 RCWA (Rigorous Coupled Wave Analysis) 시뮬레이션 기반 정밀 측정 및 분석 기술 패키지 패턴분량 분석용 Ptychography imaging AI 알고리즘 기술 개발 <div style="border: 1px dashed black; padding: 5px; margin-top: 10px;"> <p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> ▶ 복합측정장비용 전자빔 밝기(A/cm²-sr-kV), 전자빔 흡수·산란·굴절 신호 동시측정 가능신호 개수(ea), 이미징 해상도(nm), 두께 측정 광대역 파장 범위(nm) 등 ▶ (국제공동개발 대상 역할) 전자를 직접적이 빠르게 검출할 수 있는 Electron Detection Scheme 에 관한 기술개발, 패키지 패턴분량 분석 Ptychography 시스템 개발 및 광학 부품 평가 인프라 활용, 3D 반도체 나노복합구조 및 반도체 신소재의 다파장대 이방성 광학 특성 분석 및 모델링 </div>							
2. 지원 필요성							
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> (정책적 측면) 주요 MI장비들은 해외 업체별로 특화 영역을 가지고 시장을 거의 독점하고 있으며, 차세대 반도체 시장선정 및 기술안보를 위해서는 MI 공정,특히 							

패키지 산업 측정분석장비 국산화가 절실함

- (기술적 측면) 현재 반도체 산업에서 필수적인 광학기반 센서는 감도, 분해능, 감응 속도 측면에서 한계점이 있어 차세대 공정 적용을 위한 기술적 돌파가 필요한 상황
- (시장적 측면) 이종접합 반도체 에피택시 및 실시간 물성 측정기술 개발의 고도화로 전량 수입에 의존하고 있는 패키징 MI공정의 독자적인 핵심기술 확보 가능
- (사회적 측면) 국내 측정분석장비 소부장 자립화를 통해 해외 의존도를 축소하여, 반도체 산업 안보화 및 미·중·일 집중 견제로부터 전략적 돌파 요소 작용

□ 활용분야

- 이종접합 반도체 에피택시 및 실시간 물성 측정기술을 통한 패키지 결함분석 기술로 활용 가능
- 반도체 후방 연계산업인 측정기 소재, 가공, 진동제어, 진동절연, 광학, 레이저까지 기술 활용이 가능하며, 관련 운영 및 제어 Software 기술로 활용가능

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 비징수
- 기 타 : 해외기관 참여 필수

품목번호	초격차반도체-품목-08		산업 기술 분류	중분류 I	중분류 II		
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품			반도체장비			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차						
R&D 자율성트랙유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)						
품목명	고품질 하이브리드 본딩을 위한 세정기술과 표면 분석 기술 개발 (TRL : [시작] 2단계 ~ [종료] 5단계)		품목코드 (HSK10)	류	호	소호	통계부호
				9 0	3 0	8 2	0 0 0 0
1. 개념 및 개발내용							
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> 반도체 소자의 고집적화, 고기능성 패키징에 대응하기 위한 웨이퍼 레벨 첨단 하이브리드 본딩 세정 및 표면분석 기술 <div style="border: 1px dashed black; padding: 5px;"> * 핵심목표 : 100 nm 이하 입자 오염 제거율 90% 이상 + 유기물 제거율 100% + 표면분석 공간분해능 (< 20 nm) (세계최고수준) </div>							
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> 하이브리드 본딩 공정에서 입자 오염물 제거를 위한 기술 개발 하이브리드 본딩 수율 향상을 위한 핵심 세정 공정 기술 개발 본딩 패드 국부의 극미량 폴리머 잔여물 분석 기술 확보 칩과 폴리머 상호작용 연구를 통한 잔여물 제거 기술 개발 폴리머-솔벤트 상호작용 연구를 통한 세정액 개발 <div style="border: 1px dashed black; padding: 5px;"> 연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 ▶ 100 nm 이하의 오염입자 제거율(%), 유기물 제거율(%), 표면 분석 공간분해능(nm) 등 ▶(국제공동개발 대상 역할) 첨단 패키지 테스트 웨이퍼 제작 및 제공, 세정 기술 대면적화 및 양산성 평가기술 개발 </div>							
2. 지원 필요성							
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> (정책적 측면) 통합 플랫폼을 통한 기업 상생 형태의 유기적 기술 개발 성과 도출과 국내 패키지 산업 기술로의 극대화를 위한 중장기적 지원이 절대적으로 필요한 시점 (기술적 측면) 팹리스 및 디자인하우스 업체의 경우, 소량 업무에 대한 후공정 업체의 비선호에 따른 개발한 기술의 테스트 진행 및 상용화가 어렵고, 패키지/테스트 관련 기술 이해력 부족으로 연관 기술 개발이 어려움 (시장적 측면) 기존 패키지 기술 고도화 전략 및 지원을 통한 국내기업의 사업 경쟁력 강화와 함께 첨단 패키지 기술 개발을 통한 기술 선점 및 미래 기술 대응 필요 (사회적 측면) 첨단 반도체 시장의 국제 정세의 변화에 따른 연구 분야에서 국제협력을 통한 반도체 생태계 연대가 강화가 요구되고 있으며 더욱 선진 연구기관과의 연구협력을 통해 국내 연구 역량을 높여 국내 반도체 산업 생태계 발전 촉진을 위해 필요 							

□ 활용분야

- WLCSP 공정 전반에 적용되는 세정 기술로 활용
- 구리-절연층 이중접합을 위한 표면처리 기술 및 표면 분석 기술로 활용
- Interposer와 chiplet 등 미세화 기술에 적용가능한 표면처리 기술로 활용
- 첨단 패키징 품질 및 수율 향상을 위한 나노 공간 분해능 미세 오염물 분석 기술 기반의 검사 기술로 활용

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수
- 기 타 : 해외기관 참여 필수

품목번호	초격차반도체-품목-09		산업 기술 분류	중분류 I	중분류 II							
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		반도체장비									
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음											
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차											
R&D 자율선택유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)											
품목명	Advanced 2.5/3.0D Packaging을 위한 이중 소자간 ~1 μ m 분해능, 실시간 계측이 가능한 다목적 홀로그래프 3차원 검사설비 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호						
			9	0	3	0	8	2	0	0	0	0
1. 개념 및 개발내용												
<input type="checkbox"/> 개념												
<ul style="list-style-type: none"> 다수의 적층 구조를 가진 1mm 이하의 HBM PKG 높이와 HBM 공정 내 NCF 높이, 길이, 10μm 이하의 Micro Bump 크기를 실시간 계측 가능한 홀로그래프 검사 기술 개발 												
* 핵심목표 : 분해능 1 μ m + 홀로그래프 정보 획득속도 15 fps 이상 (세계최고수준)												
<input type="checkbox"/> 개발내용												
<ul style="list-style-type: none"> HBM 내 NCF 및 Bonding bump 불량 검출과 적층 패키지 접합층(BLT)의 변화를 측정하기 위한 회절 광학 기반의 홀로그래프 다목적 검사 시제품 제작 홀로그래프 신호 처리 기술 고속화 회절 광학 기반의 홀로그래프 광학 모듈 시제품 설계 및 제작 회절 광학 기반의 홀로그래프 광학 모듈 제어 SW 고속화 												
<p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> 측정기술의 분해능(μm), 홀로그래프 정보획득 픽셀수(px), 홀로그래프 획득 속도(렌), 홀로그래프 다이내믹 레인지(최대크기/분해능) 등 (국제공동개발 대상 역할) 스캐닝 홀로그래프 획득 및 처리 분석 기술개발 												
2. 지원 필요성												
<input type="checkbox"/> 지원 필요성												
<ul style="list-style-type: none"> (정책적 측면) 다목적 홀로그래프 기술의 글로벌 표준화 참여를 위한 기술 고도화 및 내재화에 대한 정부지원 필요 (기술적 측면) 향후 미래의 3차원 홀로그래피 기술을 적용 패키징 핵심 검사기술 선점이 필요 (시장적 측면) 공동개발 프로젝트 수행을 통해 국제적 기술력 검증과 응용 분야 확보를 통한 글로벌 시장 진출 및 기술력 강화 필요 (사회적 측면) 글로벌 패키지 트렌드 및 초미세 후공정 수요가 확대되고 있으며 산학연 협력 연구를 통한 원천기술 확보가 절실 												

□ 활용분야

- 전공정 단계에서 미세화 속도가 둔화되면서 패키징 방식의 변화로 반도체 성능을 개선하는 Advanced packaging 기술에 활용
- 선단 공정 개발과 함께 2.5D/3.0D 이중접합 패키지 기술을 활용하여 칩 간의 밀도를 높여 신호전달을 빠르게 하고 전력 소모도 줄이는 기술로 활용

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수
- 기 타 : 해외기관 참여 필수

품목번호	초격차반도체-품목-10		산업 기술 분류	중분류 I	중분류 II	
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체 장비		
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음					
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차					
R&D 자율성트랙유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)					
품목명	2.5D 패키징용 캐리어 웨이퍼 Laser lift Off 공 정용 UV Laser 소스 및 디본딩 시스템 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호
			8 4	8 6	4 0	2 0 1 0
1. 개념 및 개발내용						
<input type="checkbox"/> 개념						
<ul style="list-style-type: none"> ○ 최근 Thinned Device Wafer의 두께가 20μm까지 얇아짐에 따라, 기존의 Mechanical De-bonding (Knife로 initiating) 방식보다 안전성이 우수한 Laser Lift Off 방식의 공정 기술 및 관련 장비를 국제협력을 통해 개발함 						
* 핵심목표 : 웨이퍼 디본딩용 레이저 Power \geq 20W@200kHz (세계최초)						
<input type="checkbox"/> 개발내용						
<ul style="list-style-type: none"> ○ 300mm 2.5D 패키지용 캐리어 웨이퍼 레이저 디본딩용 355nm DPSS 레이저 소스, 광학계 부품 및 디본딩 시스템 개발 ○ 1064nm IR 레이저의 3분할 355nm DPSS(Diode Pumped Solid State) Laser 소스, 광학계, 얼라이너, 3D 스캐너 및 레이저 Lift Off 모듈 개발 ○ Thinned Device Wafer의 Crack Free 성능의 Residue Film De-lamination(Peel off) 모듈 개발 ○ Ring frame 위에 마운팅된 Thinned Wafer상의 이물질 제거용 Residue Free 성능의 Spin Cleaner 개발 ○ Pre-aligner, Carrier Wafer Pick up 모듈, Ring Frame에 마운팅된 디바이스 웨이퍼 /Carrier 웨이퍼 이송용 로봇을 통합한 시스템 개발 및 시스템 소프트웨어 개발 						
<p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> ▶ 레이저 power(W@kHz), 레이저 반복률(kHz), 레이저 power 균일도(%) 등 ▶ (국제공동개발 대상 역할) UV Laser 소스 상용화 기술 공동개발 및 임시접착제 분해 Power 최적화 공정 조건의 레이저 소스 개발 						
2. 지원 필요성						
<input type="checkbox"/> 지원 필요성						
<ul style="list-style-type: none"> ○ (정책적 측면) 삼성전자, SK하이닉스, 애플이 사용하고 있는 임시 본딩 디본딩 장비는 TOK, TEL, TAZMO 등 일본 회사, SUSS 독일 회사, EVG 오스트리아 회사로 100% 외국 업체가 공급하고 있어서 국산화가 필요함 ○ (기술적 측면) 현재 Mechanical De-bonding 방식의 신에츠, 닛산 접착제 소재가 국 						

내외 시장을 대부분 점유하고 있으나, 향후에는 355nm DPSS UV Laser 디본딩 방식의 접착제로 모두 대체될 것으로 예상되고 있음

- (시장적 측면) 본딩 디본딩 공정을 활용하는 HBM 시장은 향후 DRAM 제품의 약 40%를 차지할 것으로 예측되고 있고, Fan-out 패키지 시장은 전체 반도체 패키지 시장의 50% 이상을 점유할 것으로 예상하고 있음
- (사회적 측면) 반도체 기술은 차세대 통신, AI, 자율 주행, 첨단 방위 산업 등과 같이 안정된 사회망 구축에 필요한 필수 산업 기술로 정부 지원을 통한 국내 기술 내재화가 필요함

□ 활용분야

- 355nm DPSS UV 레이저 소스와 디본딩 시스템은 HBM, 2.5D Interposer, Fan-out 패키지 제조 공정 중에서 Mechanical 디본딩 방식을 대체하여 핵심 제조 공정으로 활용 및 적용 가능
- 355nm DPSS UV 레이저 소스는 실리콘 웨이퍼 다이싱 및 Glass/세라믹/반도체 기판/메탈 포일 등의 Cutting 및 드릴링에 활용 가능

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수
- 기 타 : 해외기관 참여 필수

품목번호	초격차반도체-품목-11		산업 기술 분류	중분류 I	중분류 II	
품목유형	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체장비			
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음					
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차					
R&D 자율선택유형	<input type="checkbox"/> R&D 자율성트랙(일반) <input checked="" type="checkbox"/> R&D 자율성트랙(지정)					
세부품목명	패키지 신뢰성 향상 및 손상원인 규명을 위한 실시간/실환경 분석기술 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)	품목코드 (HSK10)	류	호	소호	통계부호
			9 0	3 0	8 2	0 0 0 0
1. 개념 및 개발내용						
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ 첨단 패키지 소자 및 제품의 열특성 분석, 전기적 특성과 변형 등의 신뢰성 확보를 위한 손상원인 규명용 실시간/실환경 분석기술 개발개발 <div style="border: 1px dashed black; padding: 5px; margin-top: 10px;"> <p>* 핵심목표 : 온도제어 -160 ~ 1000℃ + 저온 고온 환경 하 목표 분해능 0.1nm (세계최고수준)</p> </div>						
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> ○ 저온/고온 동작 조건에서의 계면 구조 변화와 응력 분포 분석 ○ 솔더 접합 계면의 구조 분석 및 화학 분석을 통한 산화막 형성 및 금속간 화합물 형성 경로 규명 ○ 이미지 분석기술을 활용한 패키징 내 결함 분석 및 불량률의 원인 규명 ○ 열처리, 레이저 조사 등의 환경변화 조건에서의 소재에서의 구조적 특성평가 기술 ○ 첨단 패키지 소재의 chemical 분석 및 원자 단위의 구조 분석 연구 ○ 원자 구조적 분석을 통한 특정 방향에서의 결함 분석 및 성능 메커니즘 규명 <div style="border: 1px dashed black; padding: 10px; margin-top: 20px;"> <p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <ul style="list-style-type: none"> ▶ 측정시스템의 측정모듈 환경 제어 기술 수준, 극한환경 내 측정기술 분해능 등 ▶ (국제공동개발 대상 역할) 원자레벨 안정성 기반 in-situ TEM 홀더기술 개발, MEMS 기반의 외부 환경 모사 기술 개발 </div>						
2. 지원 필요성						
<input type="checkbox"/> 지원 필요성 <ul style="list-style-type: none"> ○ (정책적 측면) TSV 공정 및 초고해상도/초고속 분석기술은 국내기술 수준이 높지 않아 국내 기업들의 경쟁력이 낮아, 기술축적을 위한 정부지원이 필요함 ○ (기술적 측면) 첨단패키지 소자의 고(高)집적화, 고속, 저전력화를 실현하기 위한 나노 국소영역에서의 원자구조와 전자구조를 해석하는 요구가 증대 ○ (시장적 측면) 초정밀 구조/물성 동시 분석연구에 대한 수요가 급증하고 있으며, 특히 극한 환경에서 실시간 원자 레벨의 오퍼란도 분석을 통해 첨단 전자소재의 						

전자빔의 취약성과 화학적 활성 및 온도 민감성을 극복한 고난도 실험적 규명과 물성 이해가 필수

- (사회적 측면) 첨단 패키지 초미세 후공정 측정분석 기술수요가 확대되고 있으나 전문 인력이 부족하여 실질적 산학연 협력이 체계적으로 운영되기 어려운 실정임

□ 활용분야

- 실시간 소자분석 시스템은 열 분산과 관련하여 열전도성 소재의 상 변화 및 구조 손상 원인을 분석하는데 활용
- 반도체 패키징 내 화학적 미세 결함 등의 분석 및 제어 기술 개발을 통한 성능 저하 문제 해결에 활용

3. 지원기간/예산/추진체계

- 기간 : 33개월 이내 (1차년도 개발기간 : 9 개월, 2~3차년도 : 각각 12 개월)
- 정부지원연구개발비 : '24년 19.3 억원 이내(총 정부출연금 38.3 억원 이내)
- 주관연구개발기관 : 제한없음
- 기술료 징수여부 : 징수
- 기 타 : 해외기관 참여 필수

④

전자부품산업기술개발 (주력산업IT융합)

품목번호	2024-스마트제조-품목-1		산업 기술 분류	중분류 I	중분류 II			
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			소프트웨어	전기전자부품			
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음							
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input checked="" type="checkbox"/> 초격차							
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)							
품목명	AI 및 실시간 측정 기술 기반 이차전지 소재 정량화 및 자동화 품질관리 시스템 개발 및 실증 (TRL : [시작] 5단계 ~ [종료] 7단계)		품목코드 (HSK10)	류	호	소호	통계부호	
			8 5 3 1 9 0 1 0 0 0					
1. 개념 및 개발내용								
<input type="checkbox"/> 개념								
<ul style="list-style-type: none"> ○ AI 영상처리 기술 기반 대기비개방 이차전지 소재 입도, 구형화도, 중횡비, 코팅화도 정량화, 모니터링 및 자동화를 통한 배터리 소재의 정량적 분석과 제조 공정의 품질을 관리하는 시스템 개발 및 현장 실증 								
* 핵심목표 : 품질 예측 정확도 95% 이상(세계 최고)								
<input type="checkbox"/> 개발내용								
<ul style="list-style-type: none"> ○ 이차전지 소재 입도, 구형화도, 중횡비, 코팅화도 정량화를 위한 실시간 측정 모듈 개발 ○ 레이저 기반 이차전지 원료, 양극재, 재활용 소재 실시간 성분 모니터링 모듈 개발 ○ AI기반 대기비개방 이차전지 소재 미세형상 정량화 및 자동화 모듈 개발 ○ 이차전지 소재 미세형상 소재 정량화 및 자동화 품질관리 시스템 개발 ○ 수요기업 인증 테스트베드 3개소 이상에 품질관리 시스템 실증 운영 및 효용성 검증 ○ 수요기업 인증 테스트베드 대상 6개월 이상 이차전지 소재 정량화 및 품질 관리 시스템 실증 								
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수								
- 형상 정량화 예측 정확도(%), 처리속도(ms), 조성 분석 정확도(%), 재현성(%), 조성 분석시간(s)								
2. 지원 필요성								
<input type="checkbox"/> 지원 필요성								
<ul style="list-style-type: none"> ○ (정책적 측면) 국정과제24 반도체·AI·배터리 등 미래전략산업 초격차 확보와 관련 AI 분야와 이차전지 산업 발전 동시 지원 및 상용화 연계를 위한 지원이 필요함 ○ (기술적 측면) 이차전지 분야 신기술 확보를 통한 경쟁국과의 배터리 기술 초격차 유지를 지원할 필요가 있으며, 이를 통해 이차전지 분야 국제 기술을 선도함 ○ (시장적 측면) 이차전지 시장은 2027년까지 약 2,200억 달러에 이를 것으로 전망되며, 2022-2027년 동안 연평균 성장률(CAGR)이 15% 이상일 것으로 예측됨 ○ (사회적 측면) 이차전지는 친환경화라는 전세계 에너지 산업의 흐름 속에서 에너지 모바일화를 가능하게 하고 미래 초연결 사회를 견인할 핵심산업으로 부각됨 								
<input type="checkbox"/> 활용분야								
<ul style="list-style-type: none"> ○ 이차전지, 리튬이온 배터리, 새로운 2차 전지 개발 등 고성능 배터리 산업 분야 ○ AI 및 실시간 측정 기술 기반 스마트 제조, 품질관리 등 자동화 시스템 산업 분야 								
3. 지원기간/예산/추진체계								
<ul style="list-style-type: none"> ○ 기간 : 33개월 이내 ○ 정부지원연구개발비 : '24년 11.34억원 이내(총 정부출연금 31.34억원 이내) ○ 주관연구개발기관 : 중소·중견기업 ○ 기술료 징수여부 : 징수 								

품목번호	2024-스마트제조-품목-2	산업 기술 분류	중분류 I	중분류 II								
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		소프트웨어	전기전자부품								
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input checked="" type="checkbox"/> 해당없음											
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차											
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)											
품목명	산업용 IoT 기반 MSV 몰드 품질 자동점검정밀가공 지능 시스템 개발 및 실증 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호						
			8	5	3	1	9	0	1	0	0	0
1. 개념 및 개발내용												
<input type="checkbox"/> 개념												
<ul style="list-style-type: none"> 대량생산 제조에 널리 활용되는 MSV(Mini Spring Vent)몰드 기반 성형공정의 정밀도와 품질 유지를 위해 표면 상태를 IoT 및 지능형 부품을 활용하여 3차원 위치 좌표 획득 및 로봇제어 가공 지능 시스템 개발 및 현장 실증 												
* 핵심목표 : 곡면위치매칭오차 0.05mm이내+로봇제어가공성공률 98%이상(세계 최고)												
<input type="checkbox"/> 개발내용												
<ul style="list-style-type: none"> 산업용 IoT 지능 부품을 통해 몰드의 손상 부위 및 오염 부위 여부 검사 시스템 개발 고해상도 영상 데이터 취득 산업용 IoT 기술, 학습/증강분류 데이터 통합 구현 분석 SW 시스템 개발 MSV(Mini Spring Vent)몰드 편 가공 및 보수를 위한 3차원 위치 좌표 획득 모듈 개발 산업용 IoT 기반 3차원 위치 좌표를 활용한 산업용 로봇 정밀 제어모듈 및 가공 시스템 개발 MSV몰드 기반 정밀 가공 공정 및 유지보수 공정 前/後 자동 비교 검사 시스템 해외 실증 2차년도까지 생산 현장 1개소 현장 실증, 3차년도까지 해외 포함 생산 현장 2개소 실증 국제공동 R&D(수요맞춤형_기술추격형)로 해외 핵심기술보유 기업 또는 기관과 컨소시엄 구성 필수 												
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 로봇제어 가공 성공률(%), 검출 가능 최소 손상 또는 오염 사이즈(mm), 제어 정밀도(%), 최소 학습 데이터 수(개)												
2. 지원 필요성												
<input type="checkbox"/> 지원 필요성												
<ul style="list-style-type: none"> (정책적 측면) 몰드(금형) 기반 전통 제조 기술은 국가 지정 뿌리산업으로 산업 지능형 SW, 로봇, 자동화 공정 등을 적용할 수 있는 융합 산업 분야로 지속적인 육성이 필요함 (기술적 측면) 기존 몰드 및 MSV몰드 표면의 정밀한 품질 상태 확인·관리를 위해 3차원 위치 확인, 로봇제어, 컴퓨터 비전 기술 등 다양한 융합 기술개발이 필요함 (시장적 측면) 몰드(금형) 산업은 수출 세계 2위, 생산 세계 5위로 기계업종 내 대표 무역수지 흑자 품목이며 '23년 수출 실적이 전년 대비 16% 이상 확대가 기대됨 (사회적 측면) 전통 뿌리산업 특히 몰드(금형)은 근무 여건이 열악하여 MZ세대가 피하는 업종으로 숙련된 근로자가 부족한 상황으로 근무 환경의 안전성과 작업 DB화가 필요함 												
<input type="checkbox"/> 활용분야												
<ul style="list-style-type: none"> 전통 제조 기술 산업 몰드(금형) 정밀 가공 산업 분야 자동차 및 조선용 부품에 적용 가능한 고무 및 플라스틱 제조 산업 분야 												
3. 지원기간/예산/추진체계												
<ul style="list-style-type: none"> 기간 : 33개월 이내 정부지원연구개발비 : '24년 11.34억원 이내(총 정부출연금 31.34억원 이내) 주관연구개발기관 : 중소·중견기업 기술료 징수여부 : 징수 												

품목번호	2024-스마트제조-품목-3	산업 기술 분류	중분류 I	중분류 II								
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		소프트웨어	전기전자부품								
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음											
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차											
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)											
품목명	철강산업 제조공정 최적화를 위한 LLM 및 디지털트윈 융합 시스템 개발 및 실증 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호						
			8	5	3	1	9	0	1	0	0	0
1. 개념 및 개발내용												
<input type="checkbox"/> 개념												
<ul style="list-style-type: none"> 철강 작업공정에서 수집되는 산업용 IoT 데이터의 실시간성과 직관성 확보를 위한 디지털트윈과 LLM(Large Language Model) 융합기술 기반 실시간 공정 모니터링·분석·진단·관리 최적화 시스템 개발 및 현장 실증 												
* 핵심목표 : LLM·디지털트윈 융합기반 품질예측 정확도 95% 이상(세계 최고)												
<input type="checkbox"/> 개발내용												
<ul style="list-style-type: none"> 산업용 IoT 기반 철강 산업 제조공정 상태 데이터 실시간 수집·분석·진단 모듈 개발 제조공정의 운영현황과 직관성 확보가 가능한 디지털트윈 동기화 모듈 개발 시각/청각/텍스트 등 멀티모달 LLM기반 설비 오류상황 방지 공정지원 모듈 개발 LLM 성능 향상을 위한 기기별 특성 분석 기반 제조업 특화 프롬프트 엔지니어링 시스템 개발 단일공장 내 다수 제조공정(5개이상)을 대상으로 수요기업 실증 및 효용성 검증 2차년도까지 디지털트윈 시스템 프로토타입 개발 완료 및 3차년도까지 실 공장 실증 완료 												
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수												
멀티모달 LLM 정확률(%), Few-shot Kearning 정확률(%), 제조공정 진단 시간(sec), 동기화 객체 수(개), 동기화 시간(sec), 오류 인식률(%)												
2. 지원 필요성												
<input type="checkbox"/> 지원 필요성												
<ul style="list-style-type: none"> (정책적 측면) 철강산업 등 스마트제조 of 지능화/자동화가 추진 중이나 작업공정 상태를 실시간 기반의 디지털트윈 환경에서 산업계에 적용된 분석·진단 기술 부재함 (기술적 측면) 다양한 가상환경에서 IoT 기반 실시간 데이터를 수집·분석·진단·예측 가능한 디지털트윈 기반의 작업공정 지능형 제어 및 최적화 기술 필요함 (시장적 측면) 디지털트윈 시장은 2026년 기준 약 482억 달러 예상(Market and Markets), 해외 주요 국가들과 글로벌 기업들 역시 다양한 산업 분야에 디지털트윈, AI, IoT를 활용하여 시간과 비용 절감을 통한 생산성 향상에 지속적으로 투자 중임 (사회적 측면) 코로나19, 장기간 지속되는 경제 불황 속에서 AI 기술이 제조 산업에 적용되어 새로운 기술 패러다임 변화에 맞추어 생산성과 안전의 관점에서 이슈가 되고 있음 												
<input type="checkbox"/> 활용분야												
<ul style="list-style-type: none"> 스마트제조 공장 모니터링·최적화를 위한 3D 디지털트윈 운영환경 구축 산업 분야 IoT·AI·디지털트윈 기반의 제조공정 지능형 자율/원격제어 산업 분야 												
3. 지원기간/예산/추진체계												
<ul style="list-style-type: none"> 기간 : 33개월 이내 정부지원연구개발비 : '24년 11.34억원 이내(총 정부출연금 31.34억원 이내) 주관연구개발기관 : 중소·중견기업 기술료 징수여부 : 징수 												

품목번호	2024-스마트제조-품목-4	산업 기술 분류	중분류 I	중분류 II			
품목유형	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품		소프트웨어	전기전자부품			
융합유형	<input checked="" type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업창출형 <input type="checkbox"/> 해당없음						
해당여부	<input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> BI연계 <input type="checkbox"/> 경쟁형R&D <input type="checkbox"/> 복수형 R&D <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전과제 <input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> 국제공동 R&D <input type="checkbox"/> 윈스톱형 <input type="checkbox"/> 통합형 <input type="checkbox"/> 초격차						
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)						
품목명	캔 타입 2차 전지용 내열 코팅 자동화와 코팅 품질 관리용 지능 시스템 개발 및 실증 (TRL : [시작] 5단계 ~ [종료] 7단계)	품목코드 (HSK10)	류	호	소호	통계부호	
			8	5	3	1	9 0 1 0 0 0
1. 개념 및 개발내용							
<input type="checkbox"/> 개념							
<ul style="list-style-type: none"> 원통형 2차 전지의 발화 문제 해결을 위한 46xx 크기 이상의 캔 내부 코팅용 재료 코팅 설비 및 코팅후 원통형 캔 내부 품질의 양불 관정의 자동화를 위한 공정용 시약/공정 설비/실시간 공정 모니터링/관리용 최적화 시스템 개발 및 현장 실증 							
* 핵심목표 : 불량 감지 크기 100 μ m 이내 + 불량 인식률 95% 이상(세계 최고 수준)							
<input type="checkbox"/> 개발내용							
<ul style="list-style-type: none"> 2W/m.K 이상의 열전도율을 가지는 고분자/세라믹 복합 소재 공정 모듈 개발 1000도 산화 분위기에서 코팅면의 필름 형상 유지 모듈 개발 코팅면 in-line 모니터링용 스마트 센서 및 3차원 입체 형상 균일한 막 형성코팅 시스템개발 제조공장 또는 수요기업 인증 테스트베드 3개소 이상에 실증 운용 및 효용성 검증 2차년도까지 내열 코팅 자동화와 품질 관리용 지능 시스템 프로토타입 개발 및 3차년도내 실 제조현장 적용 타당성 실증 국제공동 R&D(수요맞춤형-시장진출형)로 해외 현지 수요기업 또는 인증기관과 컨소시엄 구성 필수 							
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 코팅 100 μ m Film의 면적 변화 10% 이내(에어분위기에서 1500 $^{\circ}$ C로 가열 후), 코팅 두께 균일도(μ m), 코팅 속도(초), 경화 속도(초), 복합 소재의 열전도율(W/m·K) 등							
2. 지원 필요성							
<input type="checkbox"/> 지원 필요성							
<ul style="list-style-type: none"> (정책적 측면) 국정과제24 반도체·AI·배터리 등 미래전략산업 초격차 확보와 관련 2차 전지산업 발전전략에 따라 기술개발 및 상용화 연계를 위한 지원이 필요함 (기술적 측면) 2차 전지 복합 재료 개발 및 공정, 모니터링 기술 확보로 2차 전지 분야 세계 기술을 선도하고 새로운 2차 전지 기술 및 활용 기술 개발을 촉진함 (시장적 측면) 전기차, 소형 IT 기기, 드론, 로봇, 에너지저장장치 등 모든 사물을 위한 2차 전지 수요의 폭발적 증가와 관련 시장 확대를 견인할 것으로 전망됨 (사회적 측면) 에너지 모바일화에 따라 2차 전지는 산업의 무선화 및 전동화를 촉진하고 미래 다양한 신규 서비스에 기반한 초연결 사회를 견인할 핵심산업으로 부각됨 							
<input type="checkbox"/> 활용분야							
<ul style="list-style-type: none"> 방열, 내충격, 내습성 등의 복합 기능이 요구되는 방산을 포함한 전자 부품 산업 분야 세라믹, 제지, 플라스틱, 섬유 등의 난연성 부여 필러로 활용 가능한 산업 분야 							
3. 지원기간/예산/추진체계							
<ul style="list-style-type: none"> 기간 : 33개월 이내 정부지원연구개발비 : '24년 11.34억원 이내(총 정부출연금 31.34억원 이내) 주관연구개발기관 : 중소·중견기업 기술료 징수여부 : 징수 							